半桥栅极驱动器 (高边隔离 & 低边非隔离)

1. 产品特性

- 输出峰值电流(+1.9 A/−2.2 A)
- 兼容 3.3V, 5V, 和 15V 逻辑输入
- VDD & V_{BS} 支持最大 20V 电源供电
- 低输出压降可用于 MOSFET 或 IGBT 导通
- 高边与低边的隔离电压可达±700V
- 高低边独立的 UVLO 控制
- 集成 300ns 死区时间
- 延时特性
  - 70ns(典型值)传输延时
  - 10ns(最大值)脉宽失真
  - 10ns(最大值)高低边延时匹配
  - 20ns(典型值)最小输入脉宽
- 符合 RoHS 标准的 SOIC8-NB 封装
- 结温工作范围 -40℃ 至 150℃
- 安全认证
  - 满足 AEC-Q100 认证

2. 典型应用

- 风扇, 泵
- 小家电
- 消费类电子应用
- 通用半桥驱动应用
- 汽车应用

3. 概述

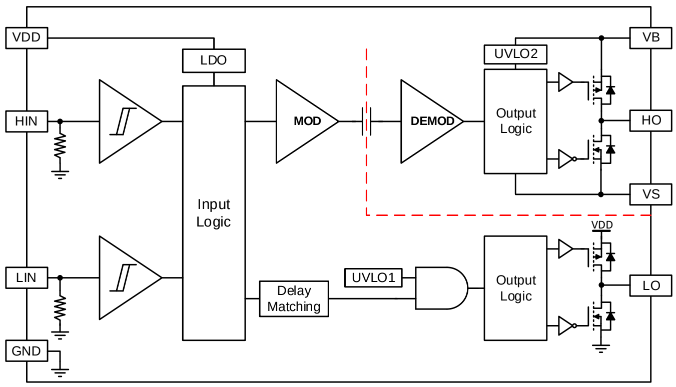
CA-IS3223ExS-Q1 是一款高边隔离和低边非隔离的高速、高压双通道栅极驱动器，具有输出拉 1.9A/灌 2.2A 峰值电流能力，并且兼容 CMOS 和 TTL 逻辑电平输入。它可以直接驱动两个 IGBT 或 MOSFET 构成的半桥拓扑。高边栅极驱动器采用电容隔离技术可确保系统工作高达 700 V 电压、高 dv/dt 应用中的可靠性。同时，高边隔离式驱动器可采用隔离电源或自举供电方式。VDD/V_{BS} 最高支持 20V 的供电电压。

高低边独立 UVLO 电源设计，环保 SOIC8-NB 封装，20ns 抗脉冲输入滤波器，以及低传输延时，低脉宽失真和低延时匹配等特性，使得该产品在中小功率应用具有更高性价比，如半桥驱动、电机驱动、光伏逆变器、DC/DC 电源和 AC/DC 电源等。

器件信息

型号	封装	封装尺寸
CA-IS3223EHS-Q1	SOIC8-NB	4.90mm x 3.90mm
CA-IS3223ELS-Q1	SOIC8-NB	4.90mm x 3.90mm
CA-IS3223EVS-Q1	SOIC8-NB	4.90mm x 3.90mm

简要框图



4. 订购指南

表 4-1 有效订购零件编号

订购型号	Pin 1 function	峰值电流	VDD/VB UVLO	封装
CA-IS3223EHS-Q1	HIN	+1.9A/-2.2A	9.1V/8.2V	SOIC8-NB
CA-IS3223ELS-Q1	LIN	+1.9A/-2.2A	9.1V/8.2V	SOIC8-NB
CA-IS3223EVS-Q1	VDD	+1.9A/-2.2A	9.1V/8.2V	SOIC8-NB

目录

5. 引脚功能描述

5.1. 引脚配置及功能描述

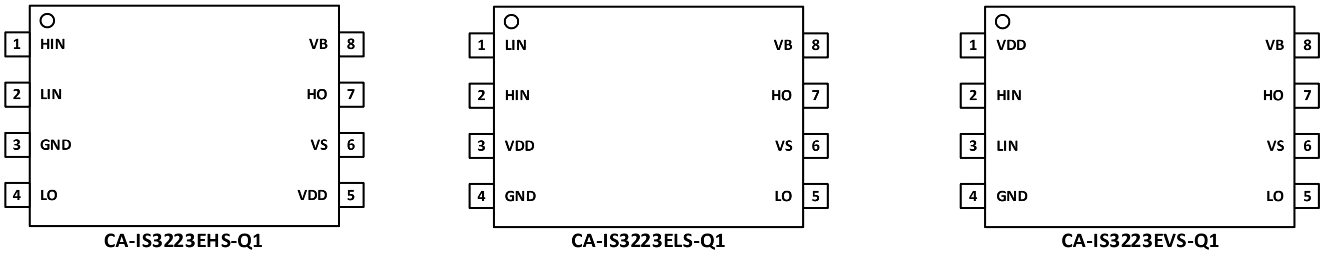


图 6-1 CA-IS3223ExS-Q1 引脚配置 SOIC8-NB

表 5-1 引脚功能描述

引脚名称	引脚编号			类型 [1]	描述
	3223EHS	3223ELS	3223EVS		
HIN	1	2	2	I	高边同相栅极驱动逻辑输入, 内置 125kΩ下拉等效电阻
LIN	2	1	3	I	低边同相栅极驱动逻辑输入, 内置 125kΩ下拉等效电阻
GND	3	4	4	G	电源参考地和低边驱动参考地
LO	4	5	5	O	低边同相栅极驱动逻辑输出, 用于驱动 MOSFET 和 IGBT 等功率器件
VDD	5	3	1	P	低边电源供电, 供电范围：UVLO1 至 20V. 推荐在 VDD 至 GND 引脚放置 10uF 去耦电容和 100nF 旁路电容并联
VS	6	6	6	P	高边浮地电源参考地
HO	7	7	7	O	高边同相栅极驱动逻辑输出, 用于驱动 MOSFET 和 IGBT 等功率器件
VB	8	8	8	P	高边浮地电源正极, 参考 VS, 供电范围：UVLO2 至 20V.

备注：
1. P 代表电源，G 代表地， I 代表逻辑输入，O 代表输出

6. 产品规格

6.1. 绝对最大额定值 [1]

在自然通风条件下的工作温度范围内测得（除非另有说明）[2]

符号	参数	最小值	最大值	单位
VB	高边浮地电源, VB 至 GND	–700	700	V
VS	高边浮地电源参考地, VS 至 GND	–700	700	V
V_{BS}	高边供电电压, VB 至 VS	–0.3	25	V
VDD	低边供电电压, VDD 至 GND	–0.3	25	V
V_{HO}	高边输出电压 , HO 至 VS	VS-0.3	V_{BS}+0.3	V
V_{LO}	低边输出电压, LO 至 GND	-0.3	VDD+0.3	V
V_{IN}	HIN 和 LIN 逻辑输入电压, LIN/HIN 至 GND	-0.3	VDD+0.3	V
dVs/dt	VS 允许的最大瞬态边沿斜率		50	V/ns
T_J	结温	–40	150	°C
T_{stg}	贮存温度	–65	150	°C

备注:
1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 数值为基于 Bench 测试所得的表征值。

6.2. ESD 额定值

符号	参数		数值	单位
V_{ESD}	静电放电	人体模型 (HBM)， 根据 AEC-Q100-002[1]	±3000	V
		组件充电模式(CDM)， 根据 AEC-Q100-011	±2000	

备注:
(1): AEC-Q100-002 表示 HBM 应符合 ANSI/ESDA/JEDEC JS-001 规范。

6.3. 推荐工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

符号	参数	最小值	最大值	单位
VDD	低边供电电压	10	20	V
V_{BS}	高边供电电压	VS+10	VS+20	V
VS	高边偏置电压	–700	700	V
V_{HO}	高边输出电压	VS	V_{BS}	V
V_{LO}	低边输出电压	GND	VDD	V
V_{HIN}, V_{LIN},	HIN 和 LIN 逻辑输入电压	GND	VDD	V
T_A	环境温度	–40	125	°C

6.4. 热量信息

符号	参数	SOIC8-NB	单位
$R_{\theta JA}$	结至环境的热阻	110.1	°C/W

6.5. 额定功率

符号	参数	数值	单位
P_D	封装最大耗散功率	0.87	W

6.6. 安全限值

符号	参数	测试条件	最小值	典型值	最大值	单位
P_S	安全输入、输出或总功耗	V_{DD} = V_{BS} =15V, T_J = 150°C			1410	mW
T_S	最大安全工作温度				150	°C

6.7. 电气特性

除非有额外说明，所有最大值、最小值建议工作条件(VDD=10V~20V, VDD 至 GND 接 1 µF 电容; V_{BS} =10V~20V, VB 至 VS 接 1 µF 电容; -40°C <T_J<150°C)下的测试结果， 典型值测试于 VDD=15V, V_{BS}=10V , T_A=25°C。

符号	参数	测试条件	最小值	典型值	最大值	单位
VDD 和 V_{BS} 电源						
V_{UVLO2_ON}	高边电源供电 VB 至 VS	VB rising		8.2		V
V_{UVLO2_OFF}	高边电源供电 VB 至 VS	VB falling		7.6		V
V_{UVLO2_HYS}	高边电源供电 VB 至 VS			0.6		V
V_{UVLO1_ON}	低边电源供电 VDD 至 GND	VDD rising		9.1		V
V_{UVLO1_OFF}	低边电源供电 VDD 至 GND	VDD falling		8.4		V
V_{UVLO1_HYS}	低边电源供电 VDD 至 GND			0.7		V
I_{q_VBS}	V_{BS} 静态工作电流	HO =Low		860		µA
		HO =High		920		µA
I_{q_VDD}	VDD 静态工作电流	V_{LIN}=floating, V_{HIN}=0V		620	1500	µA
		V_{LIN}=3.3V, V_{HIN}=0V		660	1500	µA
		V_{LIN}=0V, V_{HIN}=3.3V		1.2	2	mA
逻辑输入						
V_{IH}	逻辑输入高电平	VDD=10V to 20V	2.4			V
V_{IL}	逻辑输入低电平	VDD=10V to 20V			0.9	V
I_{HIN+}, I_{LIN+}	逻辑高电平输入偏置电流	V_{HIN} =V_{LIN}=3.3V		15	30	uA
		V_{HIN} =V_{LIN}=20V, VDD=V_{BS}=20V		15	30	uA
I_{HIN-}, I_{LIN-}	逻辑低电平输入偏置电流	V_{HIN} =V_{LIN}=0V		40	100	nA
驱动输出						
I_{PK-SRC}	HO 和 LO 输出峰值拉电流	C_{Load}=180nF， f_S=1kHz		1.9		A
I_{PK-SNK}	HO 和 LO 输出峰值灌电流	C_{Load}=180nF， f_S=1kHz		2.2		A
V_{OUTH}	HO 和 LO 输出高电压	V_{HIN}=V_{LIN}=High, I_{OUT} = -0.2A, T_A=25°C	14.4	14.5		V
		I_{OUT} = -0.2A, T_A=-40°C to 125°C	14			V
V_{OUTL}	HO 和 LO 输出低电压	V_{HIN}=V_{LIN}=Low, I_{OUT} =+0.2A, T_A=25°C		0.2	0.3	V
		I_{OUT} = +0.2A, T_A=-40°C to 125°C			0.5	V
被动钳位						
V_{CLP_HO}	HO 输出被动钳位, HO to VS	I_{HO}=100mA (Pulse Test, t_{CL_MAX}>10us) No V_{BS} power supply		1.6	2	V
V_{CLP_LO}	LO 输出被动钳位, LO to GND	IL_O=100mA (Pulse Test, t_{CL_MAX}>10us) No VDD power supply		1.6	2	V
内置死区时间						
t_{DT}	HO 和 LO 内置死区时间	图 7- 4		300		ns
t_{MDT}	死区时间匹配	图 7- 4		10		ns

6.8. 开关特性

除非有额外说明，所有最大值、最小值建议工作条件(VDD=10V~20V, VDD 至 GND 接 1 µF 电容; V_{BS} =10V~20V, VB 至 VS 接 1 µF 电容; -40°C <T_J<150°C)下的测试结果，典型值测试于 VDD=15V, V_{BS}=10V , T_A=25°C。

符号	参数	测试条件	最小值	典型值	最大值	单位
t_{PDHL_HS}	高边传播延迟时间 - 从高到低	C_{load}=1nF, V_{IL} of V_{HIN} falling edge to 90% of V_{HO} falling edge, 图 7- 1		70		ns
t_{PDLH_HS}	高边传播延迟时间 - 从低到高	C_{load}=1nF, V_{IH} of V_{HIN} rising edge to 10% of V_{HO} rising edge, 图 7- 1		70		ns
t_{PWD_HS}	脉冲宽度失真	$t_{PWD\_HS} = \lvert t_{PDHL\_HS} - t_{PDLH\_HS} \rvert$			10	ns
t_{PDHL_LS}	低边传播延迟时间 - 从高到低	C_{load}=1nF, V_{IL} of V_{HIN} falling edge to 90% of V_{LO} falling edge, 图 7- 1		70		ns
t_{PDLH_LS}	低边传播延迟时间 - 从低到高	C_{load}=1nF, V_{IH} of V_{HIN} rising edge to 10% of V_{LO} rising edge, 图 7- 1		70		ns
t_{PWD_LS}	脉冲宽度失真	$t_{PWD\_LS} = \lvert t_{PDHL\_LS} - t_{PDLH\_LS} \rvert$			10	ns
t_{sk}	高边和低边传输延时匹配	$tsk = \lvert t_{PDHL\_HS} - t_{PDHL\_LS} \rvert$ or $\lvert t_{PDLH\_HS} - t_{PDLH\_LS} \rvert$			10	ns
t_r	HO 和 LO 驱动上升时间	C_{load}=1nF, 10% to 90% of V_{HO}/V_{LO} rising edge, 图 7- 1		13		ns
t_f	HO 和 LO 驱动下降时间	C_{load}=1nF, 90% to 10% of V_{HO}/V_{LO} falling edge, 图 7- 1		8		ns
t_{MIN1}, t_{MIN2}	HIN 和 LIN 最小输入脉宽	图 7- 2	10	20	40	ns
$t_{startup\_VBS}$	高边驱动启动时间	V_{BS}>UVLO2_ON 且 HO 输出的第一脉冲 图 7- 3, VBS 电容接 1nF		10		us

6.9. 典型特性

除非有额外说明，建议工作条件(VDD=15V, VDD 至 GND 接 1 µF 电容; V_{BS} = 15V, VB 至 VS 接 1 µF 电容; -40°C <T_J<150°C)下的测试结果。典型值测试于 T_A=25°C。

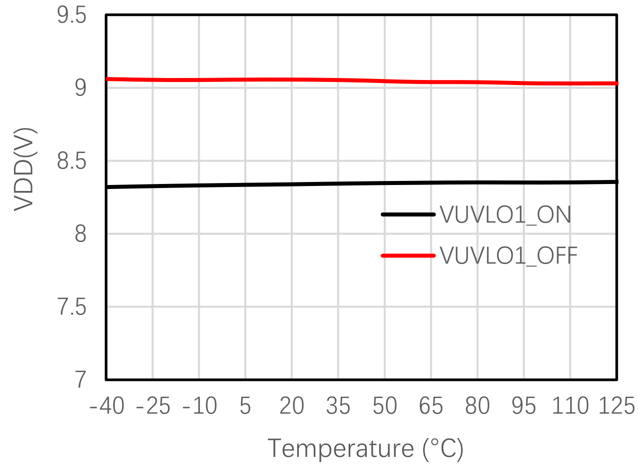


Figure 6-1 VDD UVLO vs. temperature

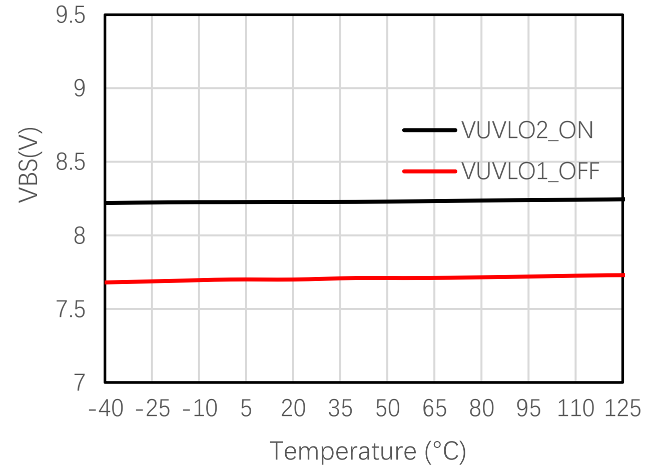


Figure 6-2 VBS UVLO vs. temperature

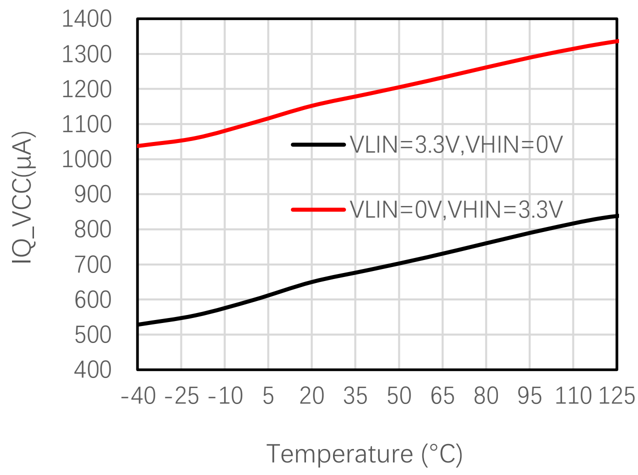


Figure 6-3 VDD quiescent current vs. temperature

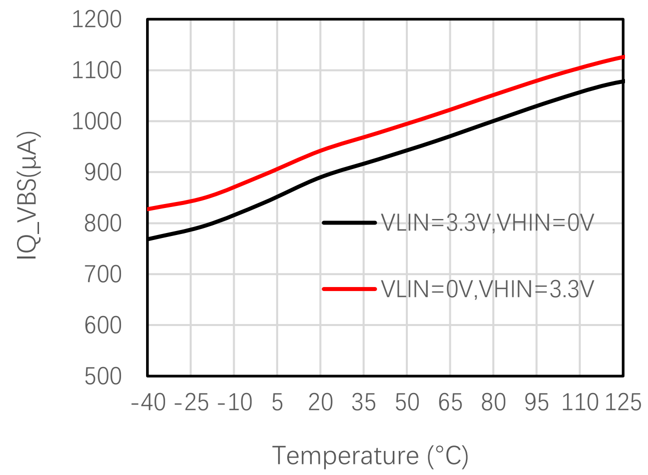


Figure 6-4 VBS quiescent current vs. temperature

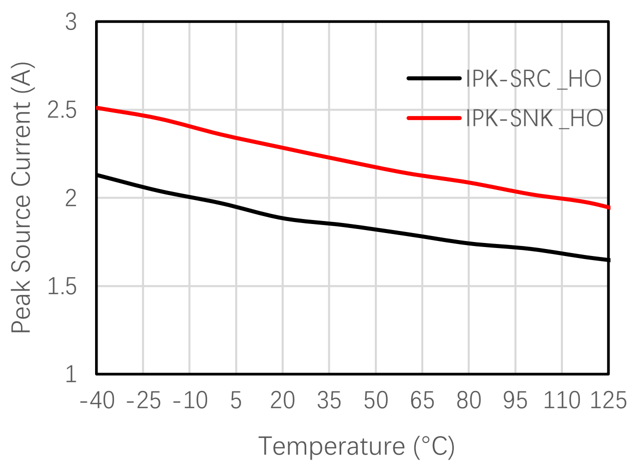


Figure 6-5 HO Peak source/sink current vs. temperature

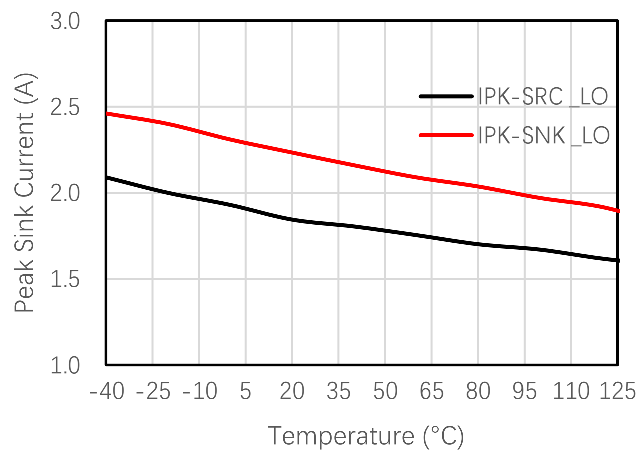


Figure 6-6 LO Peak source/sink current vs. temperature

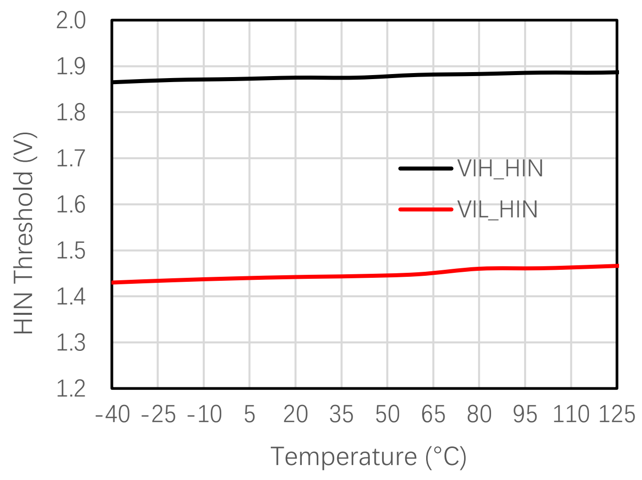


Figure 6-7 HIN Threshold vs. temperature

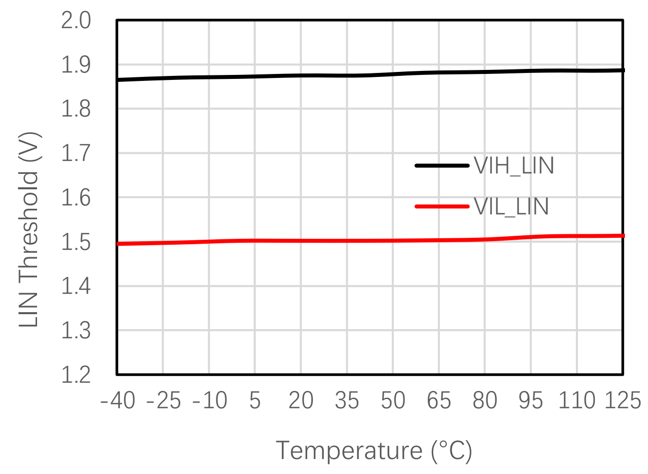


Figure 6-8 LIN Threshold vs. temperature

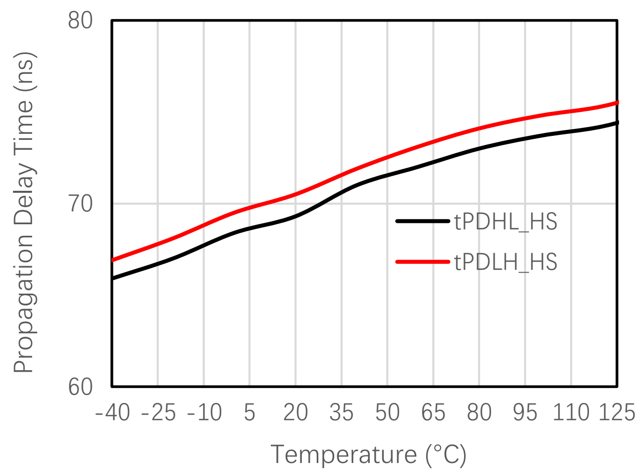


Figure 6-9 High Side Propagation Delay Time vs. temperature

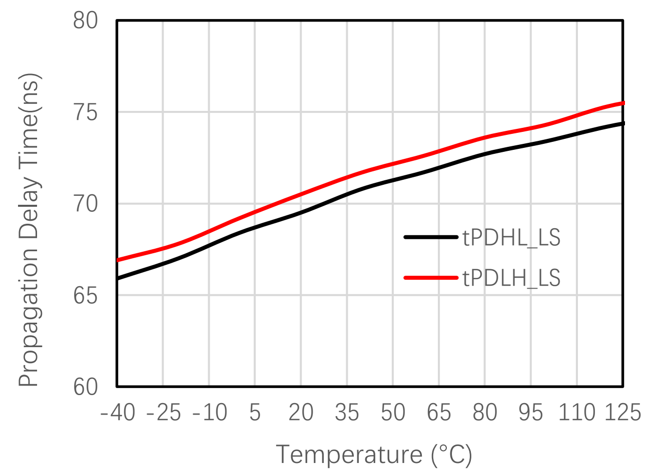


Figure 6-10 Low Side Propagation Delay Time vs. temperature

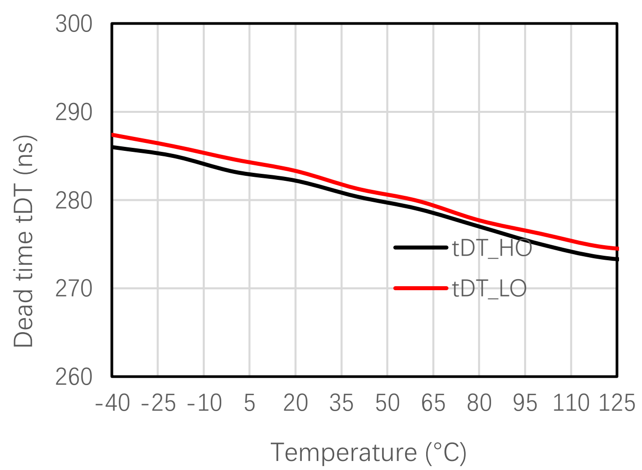


Figure 6-11 Dead Time vs. temperature

7. 参数测量

7.1. 传播延迟

图 7- 1 显示了的传播延迟和上升&下降时间的测量方法。

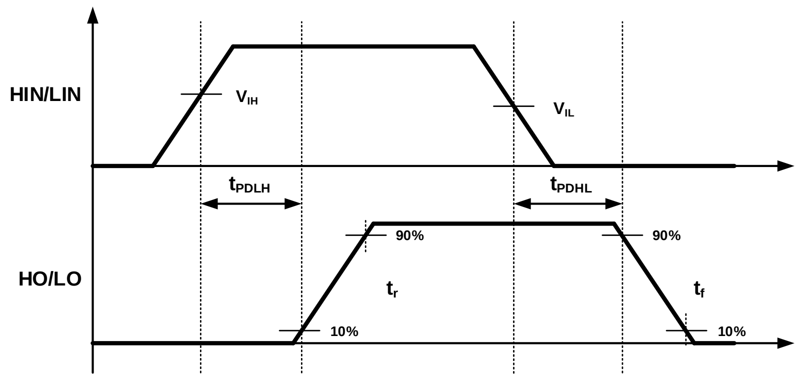


图 7- 1 传播延迟, 上升&下降时间测量

7.2. 输入抗脉冲尖峰滤波器

为了提高栅极驱动器在输入引脚（即 HIN 和 LIN）上的短暂和意外小脉冲尖峰噪声的可靠性，CA-IS3223 设计了 20ns 输入抗脉冲尖峰滤波器来过滤掉瞬态波动，以确保不会产生错误输出响应或意外驱动故障。当 HIN 或 LIN 脉冲小于输入抗脉冲尖峰滤波器宽度 T_{MIN1} 或 T_{MIN2} 时，HO 或 LO 驱动信号上将没有响应。图 7- 2 显示 HIN 或 LIN 引脚 ON 和 OFF 时抗脉冲尖峰滤波效果。

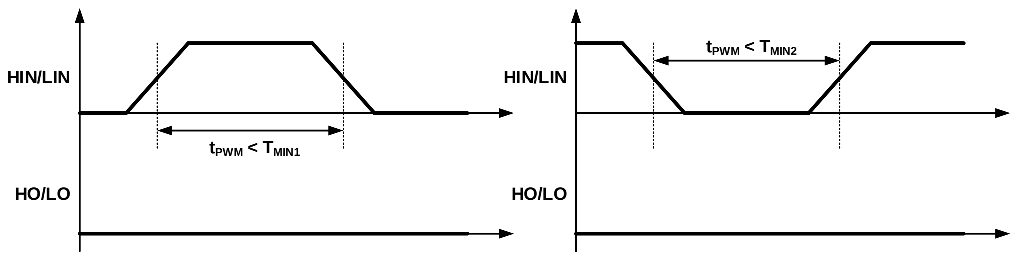


图 7- 2 HIN 或 LIN 输入抗尖峰滤波器

7.3. UVLO 上电延时保护

当电源电压从欠压锁存(UVLO)状态开始上升时，从电源上升到器件进入正常工作模式并正确提供驱动器输出之间存在一个延时，称其为上电延时。针对高边、低边供电电源，延迟时间分别定义为 $t_{startup\_VDD}$ 和 $t_{startup\_VBS}$，参见图 7- 3 所示 VDD/V_{BS} 上电延迟时序图。

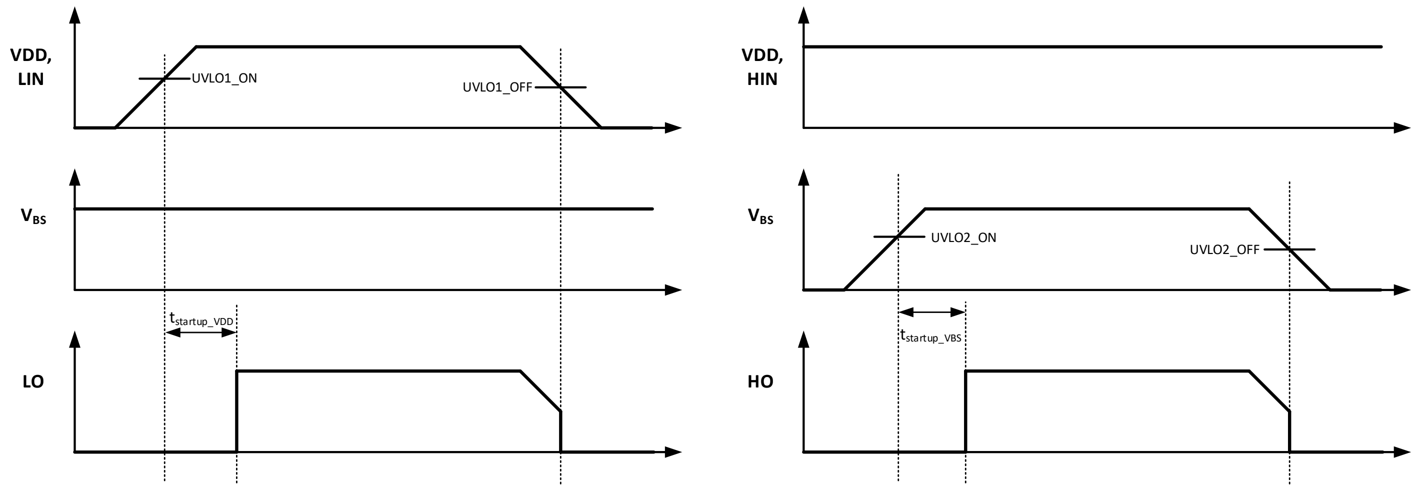


图 7- 3 VDD/V_{BS}_ UVLO 上电延时

7.4. 死区时间

图 7- 4 显示了死区时间的测量方法。

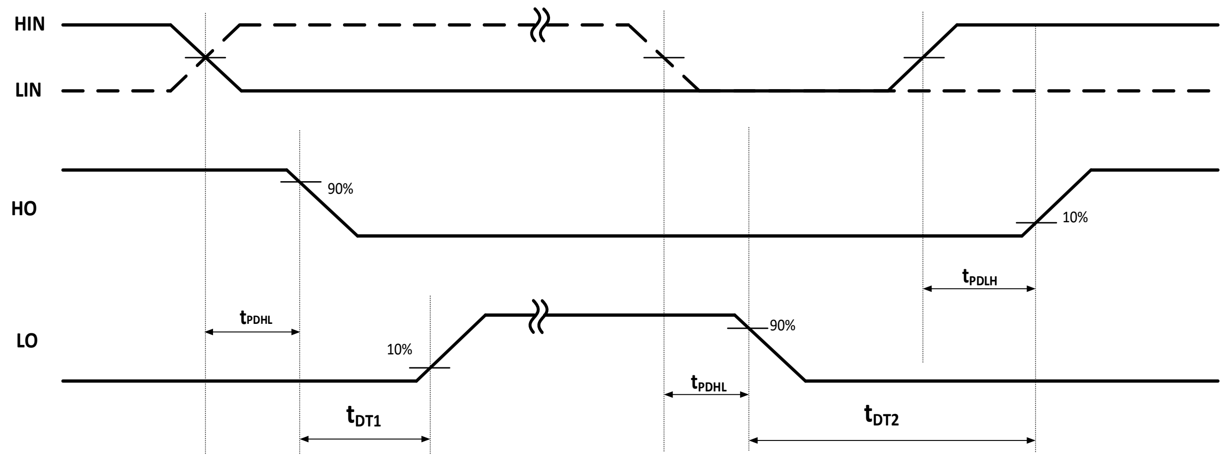


图 7- 4 死区时间设置参数

8. 详细说明

8.1. 概述

CA-IS3223ExS-Q1 是一款高边隔离和低边非隔离的双通道栅极驱动器，可用于驱动 IGBT、MOSFET 器件。该芯片高低边最高耐压可达 700V，可用于中小功率的应用，如半桥驱动、电机驱动、光伏逆变器、DC/DC 电源和 AC/DC 电源等。

CA-IS3223ExS-Q1 的高边驱动采用专利的电容隔离和 OOK 编码技术，输入高电平时，经过编码的原边斩波信号通过 SiO_2 电容传输到副边，副边解码后输出到驱动。基于电容隔离技术的输入侧与输出侧增强隔离性能使得芯片可以通过浪涌抗扰度和共模抗干扰度。低边驱动采用推挽输出结构，可以有效提高驱动能力。

CA-IS3223ExS-Q1 具有+1.9A/-2.2A 峰值拉和灌电流能力，无需额外的缓冲，可直接驱动 MOSFET 和 IGBT 器件。该产品还具有以下优势：高开关频率、低传输延时和脉宽失真以及较低的延时匹配等优异开关特性；高低边采用独立的 UVLO 设计；以及采用 SOIC8-NB 环保封装。这些优势确保其用于高频、小尺寸和高性价比的系统方案中。

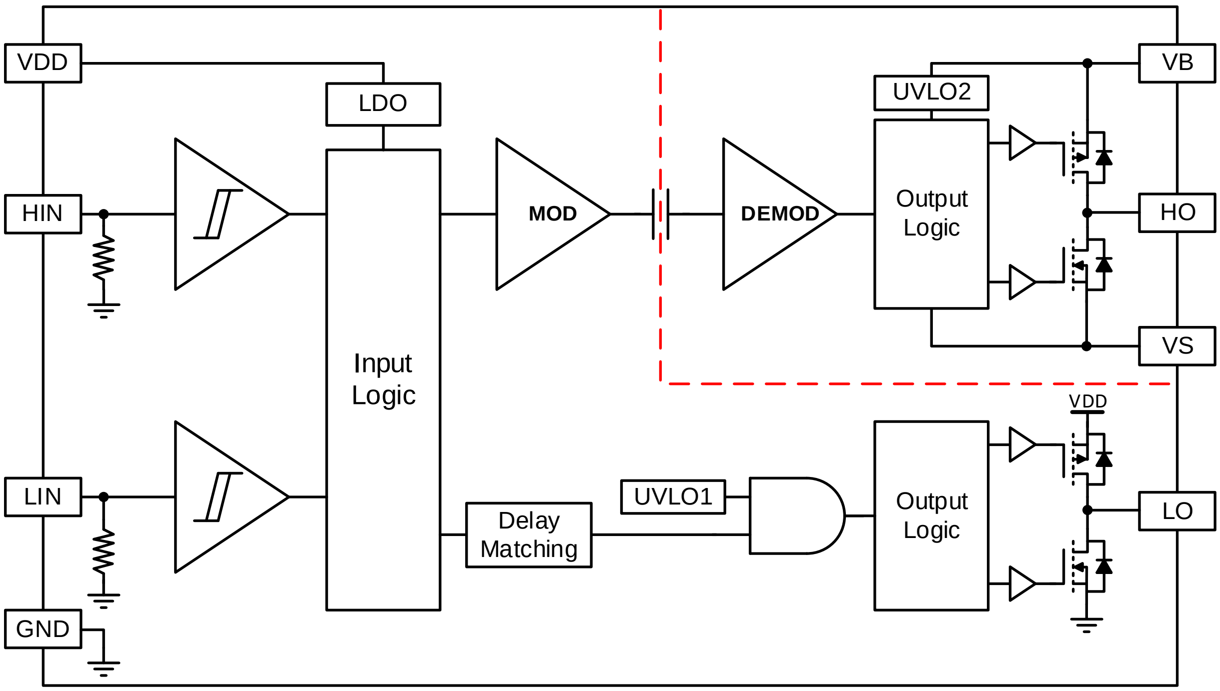


图 8-1 功能框图

8.2. 电源供电

低边驱动电源 VDD 可支持 V_{UVLO1_ON} 至 20V 的宽电压范围。高边驱动 V_{BS} 支持 V_{UVLO2_ON} 至 20V 的宽范围，高边可以采用自举供电或者独立电源供电。同时高低边电源都集成了 5us 左右抗尖峰滤波器，从而增强电源系统的抗干扰特性。

8.3. 输入级

CA-IS3223ExS-Q1 具有两个独立的输入引脚 HIN 和 LIN，且都兼容 CMOS 和 TTL 逻辑电平，确保输入可以用模拟和数字控制器驱动。除此之外，HIN 和 LIN 内部还有 20ns 尖峰脉冲滤波器，可以有效增强噪声抗干扰度。

8.4. 输出级

CA-IS3223ExS-Q1 具有+1.9A/-2.2A 峰值驱动能力，适用于中小功率应用。高低边驱动器均采用推挽输出结构，上拉结构通过 P 沟道增强型 MOSFET， 下拉结构采用 N 沟道增强型 MOSFET，较低的导通电阻以确保较大的峰值电流输出。

8.5. VDD 和 VBS 欠压锁定(UVLO)

CA-IS3223ExS-Q1 实现了高边电源 V_{BS} 和低边电源 VDD 的内部 UVLO 保护功能。当电源电压低于 V_{UVLO2_OFF} 或 V_{UVLO2_OFF} 时，驱动输出保持为低。只有当 V_{BS} 和 VDD 都大于 V_{UVLO1_ON} /V_{UVLO2_ON} 状态时，输出才会变高。UVLO 保护功能不仅降低了驱动自身在低供电电压条件下的功耗，还提高了功率级的效率。对于 SiC MOSFET 和 IGBT，当 V_{GS} 或 V_{GE} 增加时，导通电阻会降低。如果功率半导体的开启 VDD 值较低，传导损耗将显著增加，并可能导致热问题和功率级的效率降低。

UVLO 保护块具有迟滞和抗尖峰脉冲过滤的特点，有助于提高电源抗干扰能力。在打开和关闭开关瞬间，从电源提供驱动拉和灌峰值瞬态电流，这可能导致电源突然电压下降。使用迟滞和 UVLO 抗尖峰脉冲过滤器，内部 UVLO 保护块在正常开关瞬变时会过滤小的扰动。

8.6. 被动钳位

CA-IS3223ExS-Q1 的输出具有被动钳位功能，以确保 VDD 或 V_{BS} 电源开路时，HO 引脚钳位到 VB，LO 引脚钳位到 GND。当电源开路时，HO/LO 引脚处于高阻抗状态，如果此时在 HO 或 LO 引脚施加电压或电流源，HO/LO 电压会被动钳位到下管的阈值电压。被动钳位功能可防止在器件恢复控制之前错误导通。图 8-2 显示被动钳位功能。

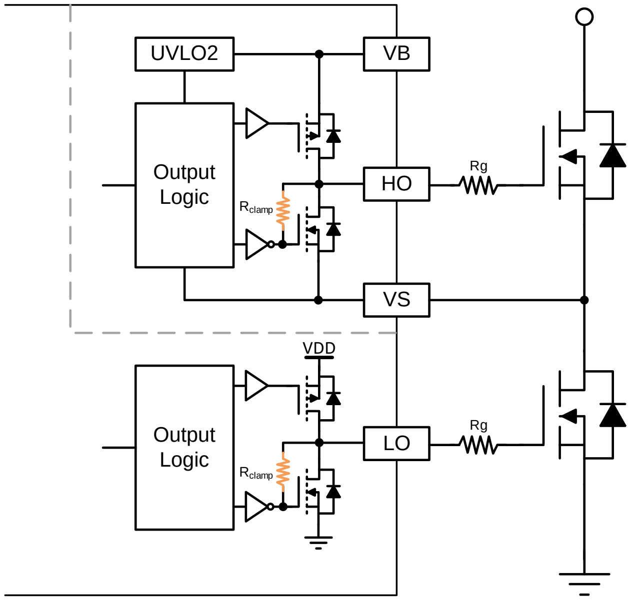


图 8-2 HO 和 LO 引脚内置被动钳位功能

8.7. ESD 结构

图 8-3 展示了 CA-IS3223ExS-Q1 的 ESD 保护结构，包含了多个体二极管以及 ESD 等效电路。

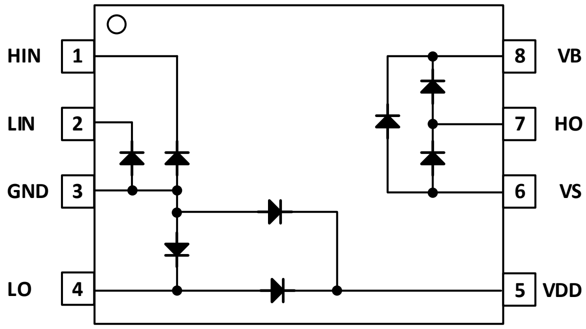


图 8-3 ESD 结构（SOIC8-NB 封装）

8.8. 器件功能模式

表 9-1 列出设备功能。

表 8-1 输入输出真值表

输入				输出	
VDD	V_{BS}	HIN	LIN	HO	LO
PU	PU	高	高	Low	Low
PU	PU	高	低	High	Low
PU	PU	低	高	Low	High
PU	PU	低	低	Low	Low
PD	PD	X	X	Low	Low

PU：上电（VDD ≥ UVLO1_ON，V_{BS} ≥ UVLO2_ON）；PD：掉电（VDD ≤ UVLO1_OFF，V_{BS} ≤ UVLO2_OFF）；X：无关；

8.9. 死区时间控制

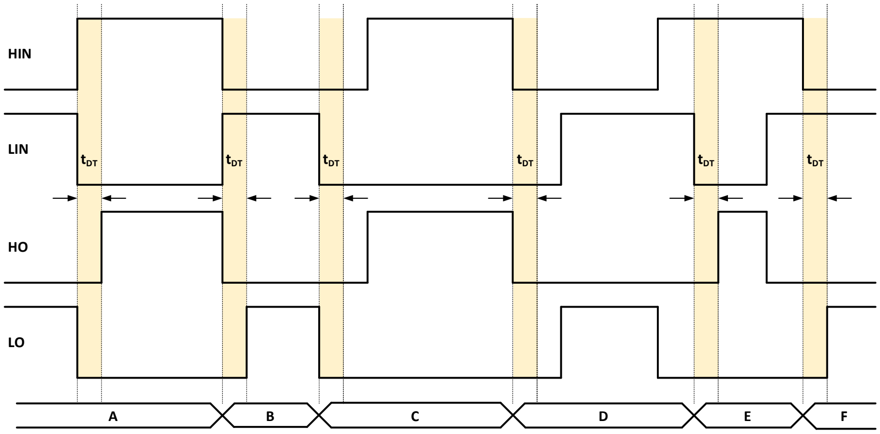


图 8-4 采用死区时间条件下，输出与输入信号时序关系

图 8-4 中，不同输入条件下死区时间的控制时序如下：

A： 输入信号 LIN 拉低，同时 HIN 拉高时：LIN 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 HO。器件立刻将输出信号 LO 置于低电平，输出信号 HO 经过所设置的死区时间 t_{DT} 后变为高电平。

B： 输入信号HIN拉低，同时LIN拉高时：HIN的下降沿触发可编程死区时间功能，且t_{DT}作用于LO。器件立刻将输出信号HO置于低电平，输出信号LO经过所设置的死区时间t_{DT}后变为高电平。

C： 输入信号 LIN 拉低，HIN 仍保持低电平：器件立刻将输出信号 LO 置于低电平；LIN 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 HO。输出信号 HO 经过所设置的死区时间 t_{DT} 后允许变为高电平。这种情况下，由于 HIN 在 t_{DT} 后仍然保持在低电平，这意味着 HIN 输入本身的死区时间大于 t_{DT}，因此，当 HIN 拉高时，HO 立即输出高电平。

D： 输入信号 HIN 拉低，LIN 仍保持低电平：器件立刻将输出信号 HO 置于低电平；HIN 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 LO。输出信号 LO 经过所设置的死区时间 t_{DT} 后允许变为高电平。这种情况下，由于 LIN 在 t_{DT} 后仍然保持在低电平，这意味着 LIN 输入本身的死区时间大于 t_{DT}，因此，当 LIN 拉高时，LO 立即输出高电平。

E： 输入信号 HIN 拉高，而 LIN 和 LO 仍保持高电平：器件立刻将输出信号 LO 置于低电平，且 HO 继续保持低电平，以避免直通；LO 拉低后，经过一个延时触发可编程死区时间功能，且 t_{DT} 作用于 HO。由于 LO 已经置低，输出信号 HO 经过所设置的死区时间 t_{DT} 后变为高电平。

F： 输入信号 LIN 拉高，而 HIN 和 HO 仍保持高电平：器件立刻将输出信号 HO 置于低电平，且 LO 继续保持低电平，以避免直通；HO 拉低后，经过一个延时触发可编程死区时间功能，且 t_{DT} 作用于 LO。由于 HO 已经置低，输出信号 LO 经过所设置的死区时间 t_{DT} 后变为高电平。

9. 典型应用

9.1. 典型应用

CA-IS3223ExS-Q1 是一款高边隔离和低边非隔离的高速双通道栅极驱动器，可用于驱动 IGBT、MOSFET 器件。该芯片高低边最高耐压可达 700V，可用于中小功率的应用，如半桥驱动、电机驱动、光伏逆变器、DC/DC 电源和 AC/DC 电源、小家电、消费类电子领域等。高开关频率、低传输延时和脉宽失真、低延时匹配、以及 SOIC8-NB 封装等优异特性，使得该产品具有高性价比，且被广泛的应于多个领域。

图 9-1 为常见的半桥驱动典型应用，可以用于 DC/DC 电源、PFC 整流电路、LLC 半桥变换器等拓扑结构。

图 9-2 为三相有源桥式逆变典型应用，三颗驱动芯片控制三个半桥交错导通。

图 9-3 为 BLDC 直流无刷电机典型应用，三颗驱动芯片控制六个 MOSFET 交错导通。

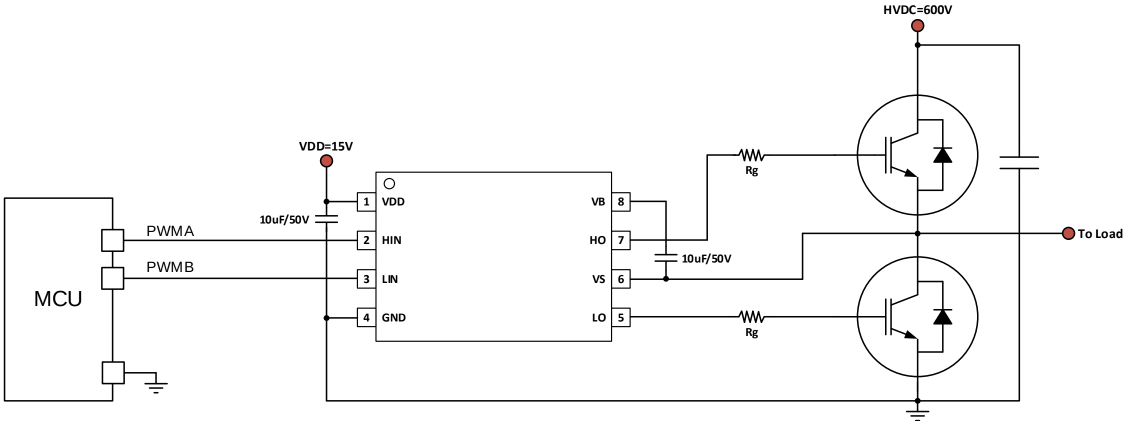


图 9-1 常见半桥驱动 IGBT 的典型应用

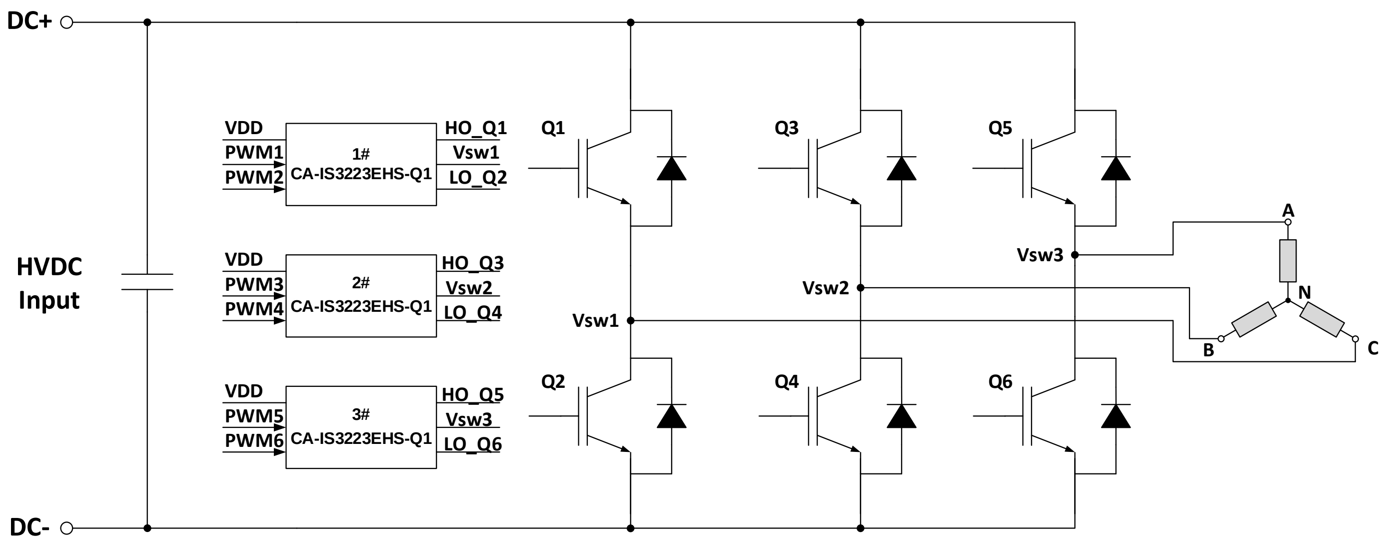


图 9-2 基于 CA-IS3223ExS-Q1 的三相有源桥式逆变器典型应用

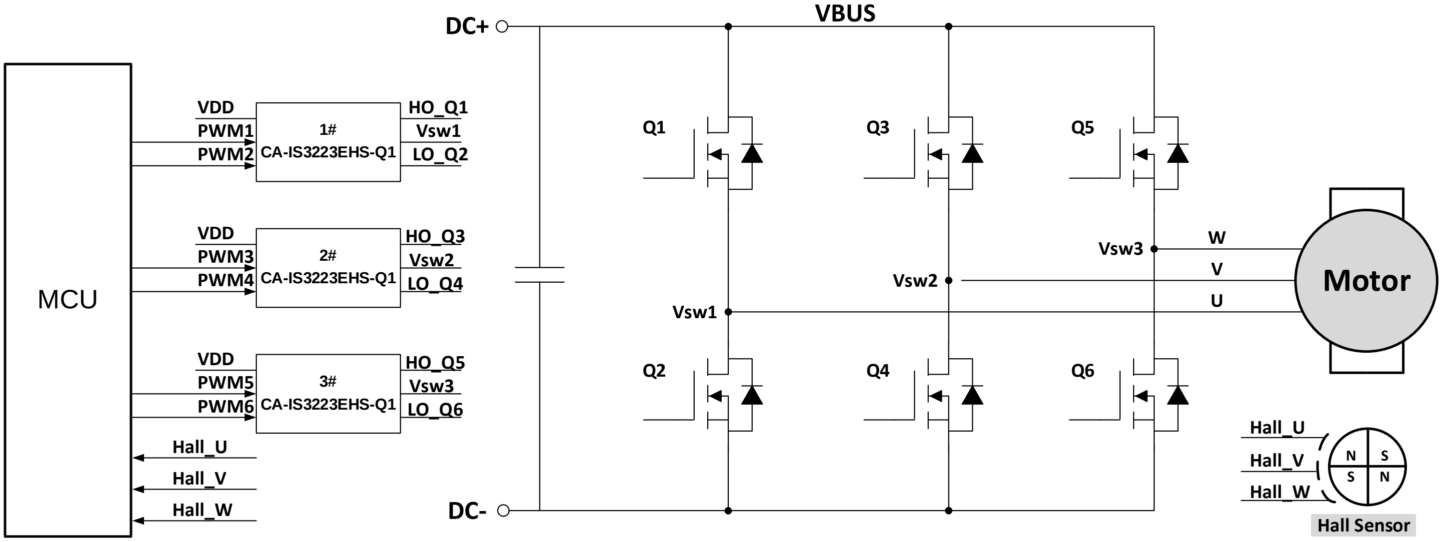


图 9-3 基于 CA-IS3223ExS-Q1 的 BLDC 直流无刷电机典型应用

9.2. 电源选择

CA-IS322ExS-Q1 可以接受较宽的供电电压范围：VDD 供电范围为 V_{UVLO1_ON} 至 20V；V_{BS} 供电范围为 V_{UVLO2_ON} 至 20V。推荐高低边电源电压 15V。为减小电源纹波和噪声，但适当的电源去耦、布线非常关键。在低边驱动侧，推荐 VDD 至 GND 采用 C1（10uF/50V）和 C2（100nF/50V）低 ESR、低 ESL 陶瓷电容并联，去耦电容 C2 应紧靠 VDD 引脚放置。在高边驱动侧，推荐 C3（10µF/50V）和 C4（100nF/50V）并联的低 ESR 电容分别将 VB 至 VS，去耦电容 C4 应紧靠 VB 引脚放置。

如图 9-4 所示，高边电源可以采用自举供电，通过二极管和自举电容（C3||C4）结构，当下管导通时，VDD 通过二极管给自举电容充电，当下管关断上管导通时，自举电容放电，为高边驱动提供电源。高边也可以采用独立隔离电源供电，更加的稳定可靠。

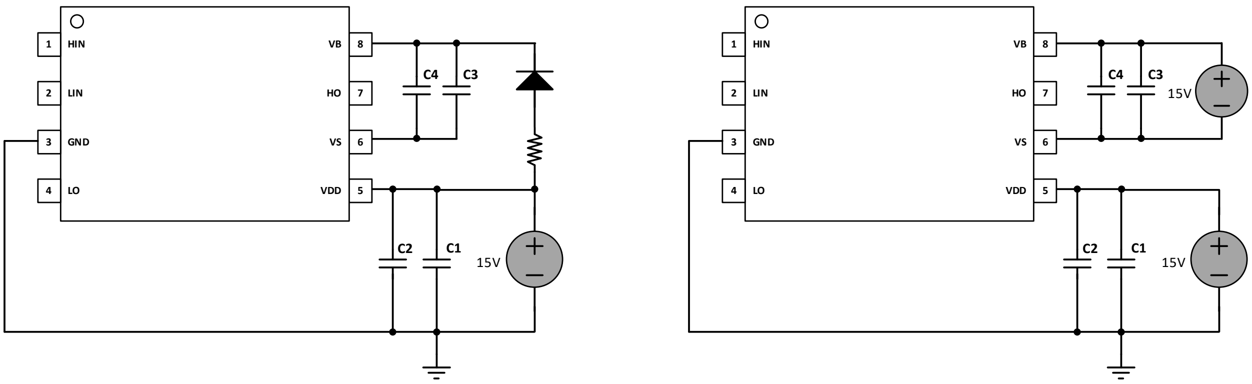


图 9-4 高边自举供电或独立电源供电

9.3. 输入滤波器选择

当 MCU 输入信号 PCB 走线较长或非理想布局时，建议在信号 HIN 和 LIN 引脚出增加 R_{IN}-C_{IN} 低通滤波器，滤除来自输入信号干扰。一般该滤波器使用 0 至 100Ω 范围内的 R_{IN} 与 10 pF 至 100 pF 范围的 C_{IN} 组合。在选择这些组件时，重要的是要注意良好的抗噪性之间的权衡和传播延迟。

例如，选择 R_{IN} =51Ω 和 C_{IN}=33pF，截止频率为$f_c = \frac{1}{2\pi RC} \approx 95MHz$。

9.4. 栅极驱动电阻选择

外部栅极驱动电阻对功率管设计尤为关键，当功率管开关时，寄生电感、寄生电容、高 dv/dt 和 di/dt 以及二极管反向恢复时间都可能导致功率管的不良行为或 EMI 问题。栅极驱动电阻主要对以下三个方面产生影响：驱动电流、开关损耗、上升和下降时间。因此，设计者在实际选取驱动电阻时，需要平衡方案的综合性能参数。

高边峰值电流 I_{OH} 估算公式：

$$\mathrm{I_{OH}} = \min\left[1.9\mathrm{A}, \frac{\mathrm{V_{BS}}}{(\mathrm{R_{OH}} + \mathrm{R_{GON}} + \mathrm{R_{GFET_{int}}})}\right]$$

其中，

- V_{BS} 为高边驱动电源电压
- R_{GON} 是外部栅极导通电阻
- R_{GFET_int} 是功率管内部栅极电阻（需查找功率管数据表）

低边峰值电流 I_{OL} 估算公式：

$$\mathrm{I_{OL}} = \min\left[2.2\mathrm{A}, \frac{\mathrm{V_{BS}}}{(\mathrm{R_{OL}} + \mathrm{R_{GOFF}} + \mathrm{R_{GFET_{int}}})}\right]$$

其中，

- V_{BS} 为高边驱动电源电压
- R_{GOFF} 是外部栅极关断电阻
- R_{GFET_int} 是功率管内部栅极电阻（需查找功率管数据表）

低边峰值电流 I_{OH} 估算公式：

$$\mathrm{I_{OH}} = \min\left[1.9\mathrm{A}, \frac{V_{VDD}}{(\mathrm{R_{OH}} + \mathrm{R_{GON}} + \mathrm{R_{GFET_{int}}})}\right]$$

其中，

- VDD 为低边驱动电源电压
- R_{GON} 是外部栅极导通电阻
- R_{GFET_int} 是功率管内部栅极电阻（需查找功率管数据表）

低边峰值电流 I_{OL} 估算公式：

$$\mathrm{I_{OL}} = \min\left[2.2\mathrm{A}, \frac{V_{\ VDD}}{(\mathrm{R_{OL}} + \mathrm{R_{GOFF}} + \mathrm{R_{GFET_{int}}})}\right]$$

其中，

- VDD 为低边驱动电源电压
- R_{GOFF} 是外部栅极关断电阻
- R_{GFET_int} 是功率管内部栅极电阻（需查找功率管数据表）

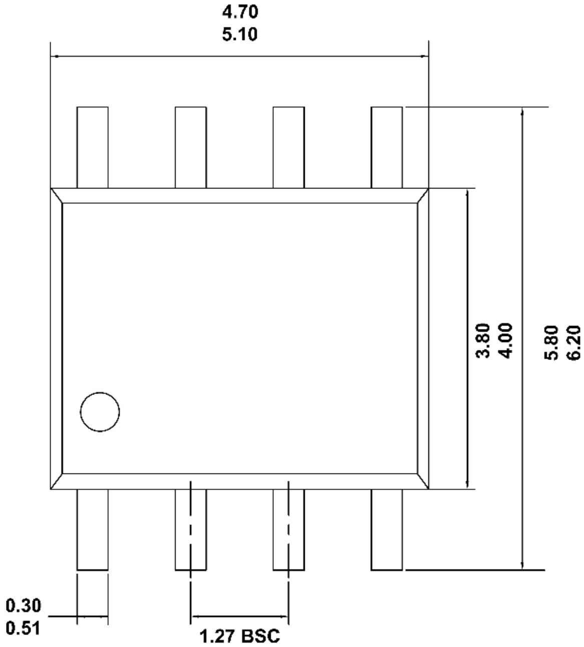
9.5. PCB 布局指南

为了达到 CA-IS3223ExS-Q1 的最优性能，PCB 布局时需要遵循以下原则：

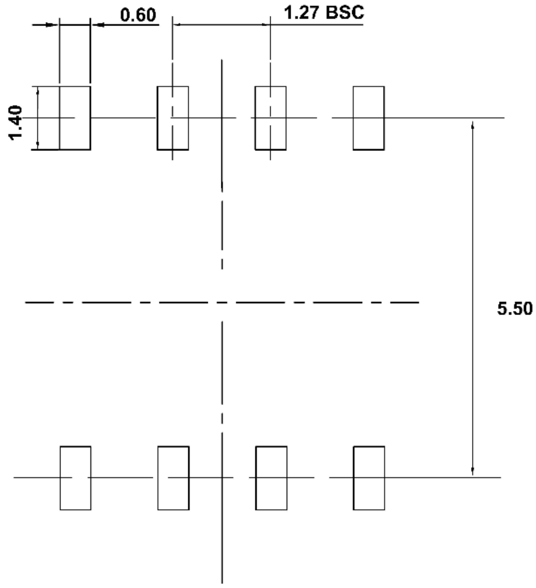
- 为了保证电源为稳定性和低噪声，在 VDD 至 GND 引脚之间以及 VB 至 VS 引脚之间的低 ESR 和低 ESL 电容器必须靠近器件连接，以便在正常工作时为 HO/LO 提供较高峰值电流能力。
- 为避免开关节点 VS 引脚上出现较大的负瞬变，需最优化 VS 引脚的走线，以减小寄生电感效应。
- 用于半桥配置，高边和低边驱动会产生最大±700V 电压差，为了增强系统的耐压可靠性，即高边驱动和低边驱动 PCB 走线之间的布局，以增加 PCB 的爬电距离。
- 当芯片驱动功率管时，HO 和 LO 引脚存在高的 di/dt，HO/LO 环路的 PCB 走线寄生电感会导致 EMI 和电压振荡问题，故在设计 PCB 时，芯片应尽可能靠近功率管位置，HO/LO 走线尽可能宽，环路走线尽可能短，以降低环路寄生电感。
- 当负载较重或开关频率较高时，芯片的损耗也会增加，可以通过适当 PCB 布局将热量传导到 PCB 板上，以达到减小芯片的温度。建议适当地增加 VDD、GND、VB 和 VS 引脚的 PCB 覆铜面积。

10. 封装信息

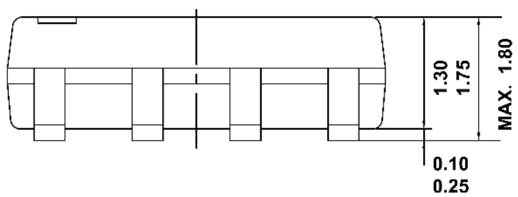
下图为 SOIC8-NB 封装的尺寸图和建议焊盘尺寸图，尺寸以毫米为单位。

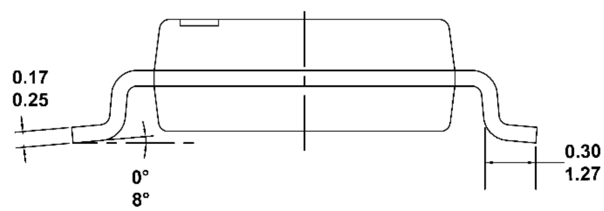


TOP VIEW



RECOMMENDED LAND PATTERN





11. 焊接信息

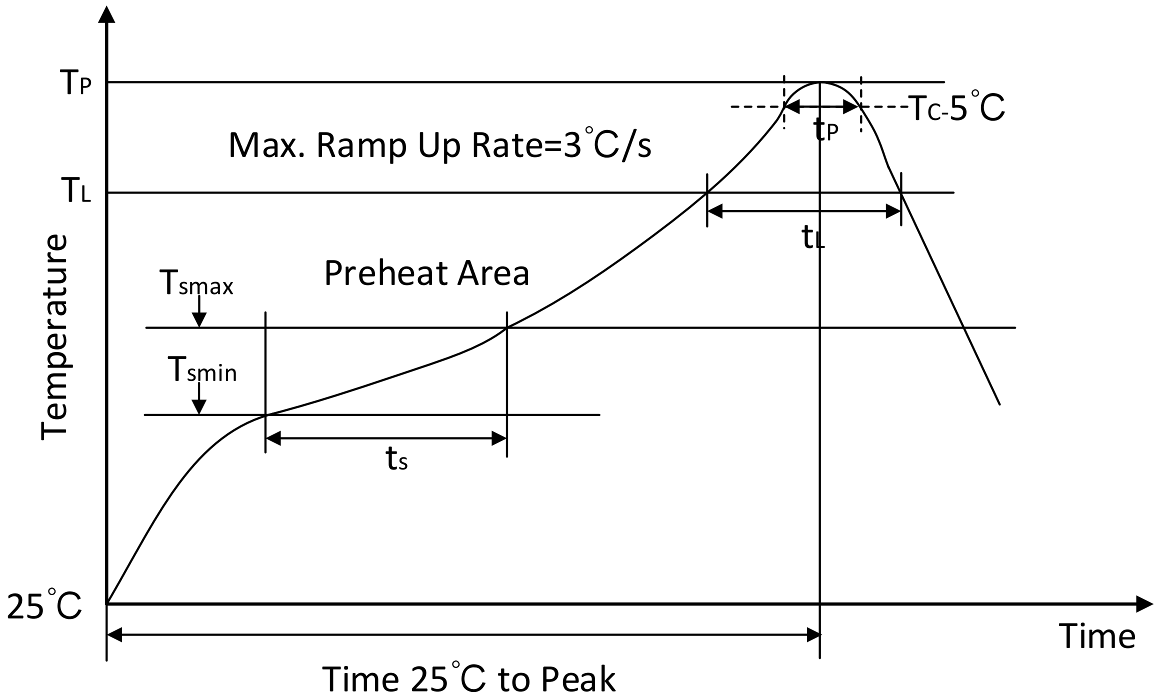


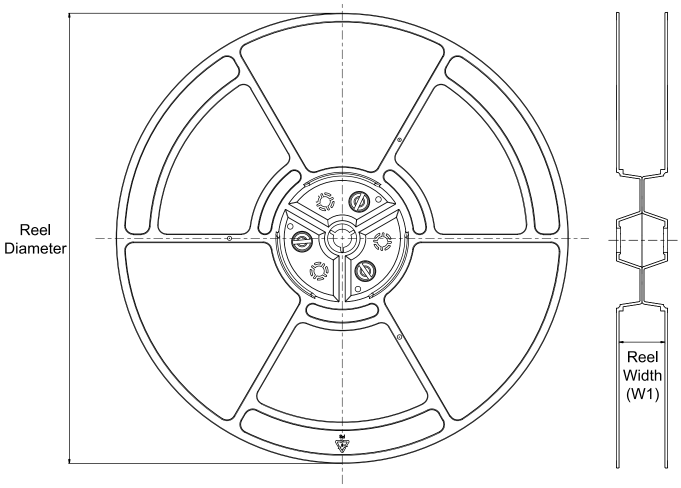
图 11- 1 焊接温度曲线

表 11- 1 焊接温度参数

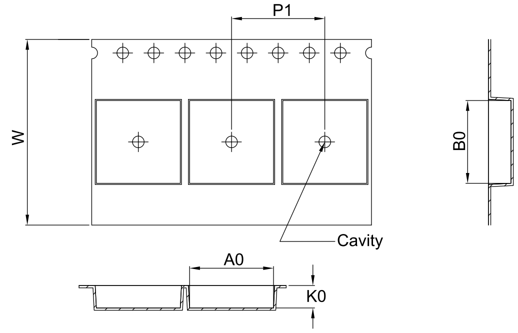
简要说明	无铅焊接
温升速率（T_L=217°C 至峰值 T_P）	最大 3°C/s
T_{smin}=150°C 到 T_{smax}=200°C 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率（峰值 T_P 至 T_L=217°C）	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

12. 编带信息

REEL

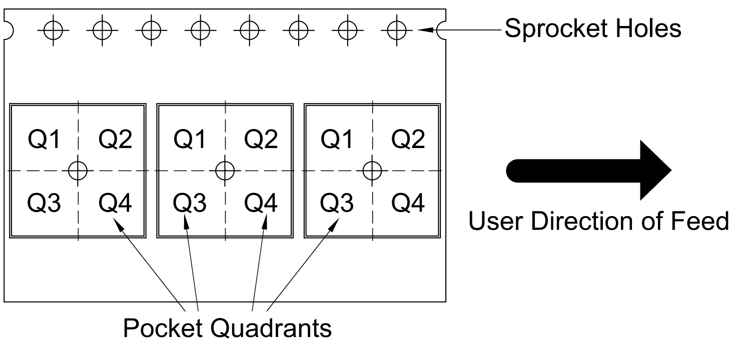


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3223EHS-Q1	SOIC	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IS3223ELS-Q1	SOIC	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IS3223EVS-Q1	SOIC	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1

13. 修订历史

修订版本号	修订内容	时间	页码
Version 1.0	Initial publish	2025/12/10	NA

14. 重要声明

本文件所含的技术和可靠性数据等信息在任何情况下均不应视为对任何事项的明示或暗示保证或授权，包括但不限于适销性、特定用途适用性或是否侵犯第三方知识产权。

相关资源仅供使用川土微产品进行设计的人员使用，您将自行承担选择本产品进行设计、验证并测试您的应用，并确保您的应用满足技术规范、相关标准等要求，并确保使用安全。尽管川土微可能仍会提供与应用相关的信息或支持，但您必须遵守与川土微产品及应用相关的所有法律、法规及要求。

川土微保留对所提供的产品与服务进行更正、修改、功能增强、性能优化或其他变更的权利。川土微授权贵方仅可将这些资源用于开发旨在集成川土微产品的相关应用。严禁将这些资源用于其他任何目的，或以任何形式擅自复制或展示这些资源。对于因使用这些资源而产生的任何索赔、损害、费用、损失或债务，川土微概不承担。

如需获取产品规格、技术及应用的更多信息，请联系川土微电子(www.chipanalog.com)。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

http://www.chipanalog.com